

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-195948

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/288
H01L 21/3205

(21)Application number : 10-371187

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1998

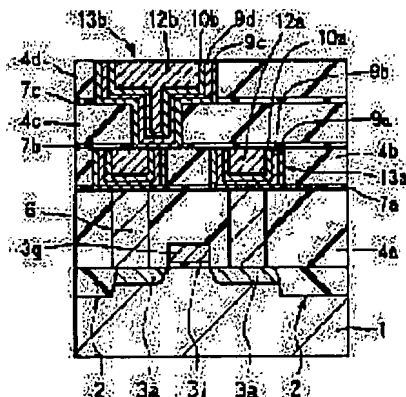
(72)Inventor : MIYAZAKI HIROSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress coagulation of Cu by forming interconnections having conductor films, which are composed solely or mainly of copper on titanium films containing prescribed contents of nitrogen on their surfaces.

SOLUTION: A first barrier film 9a, a second barrier film 9b, and a first conductor film 10a are sequentially deposited through sputtering method from the bottom as the underlying layers for a plated Cu film. The film 9a is comprised of a TiN film containing 30 at.% or higher of nitrogen, and the film 9b is comprised of a Ti film containing about 10-30 at.% of nitrogen. Furthermore, the film 10a is comprised of a Cu film. A second conductor film 10b is formed by the same method as that for the film 10a. Then, a first metal film 12a and a second metal film 12b are deposited on the films 10a and 10b, respectively. With this arrangement, the coagulation of Cu can be suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(11)特許出願公開番号

特開2000-195948

(P2000-195948A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl.	識別記号	F I	7-77-1*(参考)
H 0 1 L 21/768		H 0 1 L 21/90	D 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 R 5 F 0 3 3
21/288		21/288	M
21/3205		21/88	R
			M

審査請求 未請求 請求項の数7 O.L. (全 10 頁)

(21) 出願番号 特願平10-371187

(22) 出願日 平成10年12月25日(1998. 12. 25)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 發明者 宮▲崎▼ 博士

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

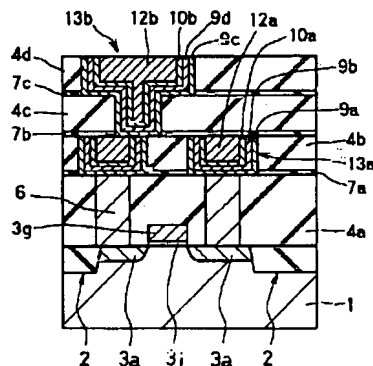
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 Cu系配線をメッキ処理によって形成するプロセスに好適なバリア膜の形成技術を提供する。

【解決手段】 表層に10at%～30at%の窒素を含有するチタン膜からなるバリア膜9a、9cを形成した後、その上に銅または銅を主体とするシード膜10a、10bを堆積し、さらに、その上に銅または銅を主体とする金属膜12a、12bをメッキ法によって堆積する。

图 9



- | | |
|-------------|------------------------|
| 1: 半導体基板 | 10a, 10b: シード膜(第1の導体膜) |
| 9a: 第1のバリア膜 | 12a, 12b: 金属膜(第2の導体膜) |
| 9b: 第2のバリア膜 | 13a, 13b: 埋込配線 |
| 9c: 第3のバリア膜 | |
| 9d: 第4のバリア膜 | |

【特許請求の範囲】

【請求項1】 少なくとも表層に10at%以上、30at%以下の窒素を含有するチタン膜上に銅または銅を主体とする導体膜を持つ配線を有することを特徴とする半導体装置。

【請求項2】 30at%以上の窒素を含有する窒化チタン膜と、その上に形成され、少なくとも表層に10at%以上、30at%以下の窒素を含有するチタン膜と、その上に形成された銅または銅を主体とする導体膜とを持つ配線を有することを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、前記配線が絶縁膜に掘られた配線形成用の溝内に埋め込まれてなることを特徴とする半導体装置。

【請求項4】 配線を有する半導体装置の製造方法であって、(a) 窒素含有量が30at%よりも多い配線形成用の窒化チタン膜を堆積する工程と、(b) 前記配線形成用の窒化チタン膜上に、少なくとも表層に10at%以上、30at%以下の窒素を含有する配線形成用のチタン膜を堆積する工程と、(c) 前記配線形成用のチタン膜上に銅または銅を主体とする配線形成用の第1の導体膜を堆積する工程と、(d) 前記配線形成用の第1の導体膜上に銅または銅を主体とする配線形成用の第2の導体膜をメッキ法により堆積する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、前記配線形成用の窒化チタン膜は、窒素を含むガス中においてスパッタリング処理を施すことで形成し、前記少なくとも表層に10at%以上、30at%以下の窒素を含有する配線形成用のチタン膜は、前記(a)工程時の窒素ガスの流量比を下げた状態でスパッタリング処理を施すことで形成し、前記銅または銅を主体とする配線形成用の第1の導体膜は、スパッタリング法で堆積することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、前記配線形成用の第1の導体膜を堆積する際に、窒素を含むガス中でスパッタリング処理を施すことを特徴とする半導体装置の製造方法。

【請求項7】 配線を有する半導体装置の製造方法であって、(a) 半導体基板上に絶縁膜を堆積する工程と、(b) 前記絶縁膜に配線形成用の溝を形成する工程と、(c) 前記絶縁膜上および配線形成用の溝内に、窒素含有量が30at%よりも多い配線形成用の窒化チタン膜を堆積する工程と、(d) 前記配線形成用の窒化チタン膜上に、少なくとも表層に10at%以上、30at%以下の窒素を含有する配線形成用のチタン膜を堆積する工程と、(e) 前記配線形成用のチタン膜上に、銅または銅を主体とする配線形成用の第1の導体膜をスパッタリング法で堆積する工程と、(f) 前記配線形成用の第

1の導体膜上に、銅または銅を主体とする配線形成用の第2の導体膜をメッキ法で堆積する工程と、(g) 前記配線形成用の窒化チタン膜、配線形成用のチタン膜、配線形成用の第1の導体膜および配線形成用の第2の導体膜を、配線形成用の溝内に残されるように削ることにより、前記配線形成用の溝内に埋込配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、半導体装置の配線技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置の配線材料をアルミニウム(A1)から電気抵抗の低い銅(Cu)に代えることにより、配線遅延を大幅に低減することができる。ただし、Cu膜が絶縁膜と直接接触しているとCu原子の拡散によって半導体素子が汚染されるため、拡散阻止能を備えた導電性膜(バリア膜)でCu配線を被覆する必要がある。Cu汚染を防止するためのバリア材料については、例えば1993年に刊行されたJournal of Applied Physics 第73巻の2301頁から2320頁や、1994年にSanta Claraで開催されたVLSI Multilevel Interconnection Conferenceの予稿集の407頁から413頁等に記載されている。また、チタン(Ti)系のバリア材料を用いた配線構造は特開平6-32605号公報、特開平8-51155号公報等に記載されている。

【0003】

【発明が解決しようとする課題】ところが、Cu系(CuまたはCu合金)配線におけるCu膜をメッキ処理で形成する技術においては、Cuメッキプロセスと相性の良いバリア技術がまだ確立されていないという課題があることを本発明者は見出した。

【0004】特に、近年、半導体装置のCu配線は、ダマシン(Damascene)法やデュアルダマシン(Dual-Damascene)法で形成されている。ダマシン法は、絶縁膜に配線形成用の溝(以下、配線溝という)を形成した後、半導体基板全面に配線形成用の金属膜(バリア/Cu)を堆積し、さらに、その溝以外の領域の金属膜を化学的機械的研磨法(CMP; Chemical Mechanical Polishing)によって除去することにより、配線溝内に埋込配線を形成する方法である。この方法の場合は、特に、微細なエッチング加工が困難なCu系の材料(CuまたはCu合金)からなる埋込配線の形成方法として適している。また、デュアルダマシン法は、絶縁膜に配線溝および下層配線との接続を行うための接続孔を形成した後、半導体基板全面に配線形成用の金属膜(バリア/Cu)を堆積し、さらに、その溝以外の領域の金属膜をCMPによって除去することにより、配線溝内に埋込配線を形成し、かつ、接続孔内にプラグを形成する方法である。

この方法の場合は、特に、多層配線構造を有する半導体装置において、工程数の削減が可能であり、配線コストの低減が可能である。しかし、これらの技術を用いた場合、金属膜の埋め込み特性や研磨特性がバリア膜の種類によって大きく左右されるため、バリア材料の選定が重要課題になっている。以下、そのバリア材料の問題点について述べる。

【0005】すなわち、ダマシン法では高アスペクト比の配線溝内にもCuを完全に埋め込むことが必要である。埋め込み方法としてメッキ法、化学気相成長(CVD; Chemical Vapor Deposition)法、リフロー法(高温下におけるCuの流動性を利用した埋め込み技術)等が提案されている。これらの埋め込み方法の中でメッキ法は製造コストを大幅に削減できる可能性を備えた魅力的な方法である。メッキ法には電解メッキ法と無電解メッキ法があるが、半導体装置の製造には電解メッキ法の方が適している。電解メッキ法ではバリア膜上にシードと呼ばれる薄いCu膜(以下、Cuシード膜という)を必要とする。バリア膜の表面には強固な自然酸化膜が存在し、Cuの析出(Cuイオン-電極間の電荷移動)を阻害するためである。量産性を考えた場合、Cuシード膜はスパッタ法で形成するのが良い。ところが、このようにCuメッキ法では、Cu膜上にCuをメッキするにもかかわらず、CuメッキがCuシード膜の下にあるバリア膜の影響を受ける。このためバリア膜の材料選択が埋め込み工程の重要課題になっている。

【0006】また、例えばバリア材料として通常の窒化チタン(TiN)を用いた場合、アスペクト比1.5を越える配線溝でCuの埋め込み不足によるボイドが発生する。その理由を説明する。この場合、TiNもCuシード膜もスパッタ法で形成する。電気抵抗率の低い膜を得るために、TiN膜は、例えば200℃以上の基板温度で堆積しなければならない。連続してCu膜を堆積すると、高温基板上でCuが表面マイグレーションし、凝集作用によって凹凸の激しいCuシード膜(最悪の場合不連続膜)が形成される。このため、Cuシード膜を堆積する前に積極的に基板を冷却する方法も試みられているが、Cuイオンを利用する高指向性スパッタの場合は入熱が多く十分な冷却効果が得られていない。表面凹凸が激しいCuシード膜上ではメッキCu膜の成長が不均一になり、成長の悪いところが残されてボイドが発生する。

【0007】また、メッキ法では、例えばタンタル(Ta)や窒化タンタル(TaN)がバリア材料として好まれる。Cuの埋め込みが容易だからである。すなわち、Ta膜上では、平滑なCuシード膜を形成できる。これは、Ta膜に対するCuの濡れ性が良いこと(接触角が小さいこと)が主な理由であるが、成膜温度を低くできること(低温でも低抵抗のTa膜形成が可能であること)も幸いしている。しかし、TaバリアはCMPで問

題になる。Taの研磨速度が遅く絶縁膜に対する選択比が得にくいことがCuのディッシングやエロージョンを引き起こす原因になっている。TaNはTaよりも研磨し易いと言われているが、実用上まだ十分ではない。また、TiNやTa以外にもバリア材料は提案されている。しかし、各自個別の問題を抱えている。例えばタングステン(W)膜はバリア性で劣る。チタン(Ti)膜単体は低温でもCuと反応し、電気抵抗が許容できない程度まで増大してしまう。チタン-シリコン-窒素(Ti-Si-N)膜はこれ自体の電気抵抗が高いことが問題である。

【0008】本発明の目的は、Cu系配線をメッキ処理によって形成するプロセスに好適なバリア膜の形成技術を提供することにある。

【0009】また、本発明の他の目的は、Cu系材料をメッキ処理によって配線溝や接続孔内に良好に埋め込むことのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】本発明の半導体装置は、少なくとも表層に10at%以上、30at%以下の窒素を含有するチタン膜上に銅または銅を主体とする導体膜を持つ配線を有するものである。

【0013】また、本発明の半導体装置は、30at%以上の窒素を含有する窒化チタン膜と、その上に形成され、少なくとも表層に10at%以上、30at%以下の窒素を含有するチタン膜と、その上に形成された銅または銅を主体とする導体膜とを持つ配線を有するものである。

【0014】また、本発明の半導体装置は、前記配線が絶縁膜に掘られた配線形成用の溝内に埋め込まれてなるものである。

【0015】また、本発明の半導体装置の製造方法は、配線を有する半導体装置の製造方法であって、(a)窒素含有量が30at%よりも多い配線形成用の窒化チタン膜を堆積する工程と、(b)前記配線形成用の窒化チタン膜上に、少なくとも表層に10at%以上、30at%以下の窒素を含有する配線形成用のチタン膜を堆積する工程と、(c)前記配線形成用のチタン膜上に銅または銅を主体とする配線形成用の第1の導体膜を堆積する工程と、(d)前記第1の導体膜上に銅または銅を主体とする配線形成用の第2の導体膜をメッキ法により堆積する工程とを有するものである。

【0016】また、本発明の半導体装置の製造方法は、前記配線形成用の窒化チタン膜は、窒素を含むガス中に

においてスパッタリング処理を施すことで形成し、前記少なくとも表面層に10at%以上、30at%以下の窒素を含有する配線形成用のチタン膜は、前記(a)工程時の窒素ガスの流量比を下げた状態でスパッタリング処理を施すことで形成し、前記銅または銅を主体とする配線形成用の導体膜は、銅または銅を主体とする第1の導体膜をスパッタリング法で堆積した後、その上に、銅または銅を主体とする第2の導体膜をメッキ法で堆積することにより形成するものである。

【0017】また、本発明の半導体装置の製造方法は、前記第1の導体膜を堆積する際に、窒素を含むガス中でスパッタリング処理を施すものである。

【0018】さらに、本発明の半導体装置の製造方法は、(a)半導体基板上に絶縁膜を堆積する工程と、(b)前記絶縁膜に配線形成用の溝を形成する工程と、(c)前記絶縁膜上および配線形成用の溝内に、窒素含有量が30at%よりも多い配線形成用の窒化チタン膜を堆積する工程と、(d)前記配線形成用の窒化チタン膜上に、少なくとも表面層に10at%以上、30at%以下の窒素を含有する配線形成用のチタン膜を堆積する工程と、(e)前記配線形成用のチタン膜上に、銅または銅を主体とする配線形成用の第1の導体膜をスパッタリング法で堆積する工程と、(f)前記配線形成用の第1の導体膜上に、銅または銅を主体とする配線形成用の第2の導体膜をメッキ法で堆積する工程と、(g)前記配線形成用の窒化チタン膜、配線形成用のチタン膜、配線形成用の第1の導体膜および配線形成用の第2の導体膜を、配線形成用の溝内に残されるように削ることにより、前記配線形成用の溝内に埋込配線を形成する工程とを有するものである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する(なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する)。

【0020】(実施の形態1)本発明の実施の形態1を説明するのに先立って本発明の技術思想を説明する。本発明の技術思想は、配線を形成する際に、TiN膜上に、窒素(N)を10at%~30at%含むTi膜を形成した後、その上にCuまたはCuを主体とする金属膜(以下、単にCu膜という)からなるシード膜を形成し、さらに、その上に、上記Cu膜をメッキ法により形成するものである。Nを10at%~30at%含むTi膜を形成する理由は、次の通りである。

【0021】図1は、金属データブック(日本金属学会編)に記されているTi-N系の状態図である。Ti膜中のN含有量によって結晶構造が分れる。N含有量が10at%以下の場合には α 相、30at%~55at%の場合には δ 相と呼ばれている。 α 相ではN含有量が低いためにTiとしての性質が残っており、Cuとの反応性が

極めて高い。したがって、 α 相のTi膜上にCuを堆積すると反応により電気抵抗が増大する。一方、 δ 相は、いわゆる窒化チタン(TiN)と呼ばれる化学的に非常に安定したTiとNとの化合物である。この相は化学的に安定でCuとは反応しないが、Cuに対する濡れ性が悪いという短所がある。反応性は相転移に伴って大きく変化するため、濡れ性の変化する組成ははっきりしている。N含有量が30at%以下のTi膜上ではCuの濡れ性が良く平滑なCuシード膜を形成することができ、ただし、CuとTiとの反応による抵抗上昇を抑制するためにはTi膜に10at%以上のNを含有させ、ある程度化学的安定性を高めておくことが望ましい。したがって、Nの最適含有量は10at%以上、30at%以下である。Cuシード膜の形成に関係しているのはバリア膜の表面であり、表面組成が上記範囲にあれば基本的にはバリア膜中でN量が変わっていても差し支えない。例えば45at%以上のNを含有するTiN膜上に本発明のNを10at%~30at%含むTi膜を積層した方がCuの拡散防止性能を向上させることができる。また、10at%以上のN添加によりTiの化学的安定性が増し、TiのCuに対する反応と拡散を抑制することができるので、抵抗上昇を3割以下に抑制することができる。なお、以上はスパッタリング法で形成したTiNの性質を述べたが、その性質は、CVD法で形成したTiN膜についても同様であり、その成膜方法には依らない。また、10at%~30at%のNを含有するTi膜は、安定性にやや欠けるが、上記拡散、反応による抵抗上昇は純Cuの3割増し以下に抑制できる。

【0022】次に、本発明の技術思想を半導体装置に適用した場合の具体的な一例を図2~図11を用いて説明する。なお、図2~図9は半導体装置の製造工程における断面図を示している。また、図10はその製造工程中に使用する製造装置の説明図を示し、図11はその製造工程におけるガス組成と金属膜中の窒素含有量との関係を示している。

【0023】図2は半導体装置の製造工程における断面図を示している。この半導体装置を構成する半導体基板1は、例えばp型のシリコン単結晶からなり、その主面側には、例えば溝型の分離部(トレンチアイソレーション)2が形成されている。分離部2は、半導体基板1に掘られた分離溝2a内に、例えば二酸化シリコン(SiO_2)からなる分離膜2bが埋め込まれて形成されている。そして、その分離部2に囲まれた活性領域に、例えばnチャネル型のMISFET(Metal Insulator Semiconductor Field Effect Transistor)3が形成されている。ただし、本発明を適用可能な半導体装置は、nチャネル型のMISFETが形成された半導体装置に限定されるものではなく種々適用可能であり、例えばpチャネル型のMISFETが形成された半導体装置またはnチャネル型およびpチャネル型のMISFETが形成

された半導体装置に本発明を適用することも可能である。

【0024】このnチャネル型のMISFET3は、ソース・ドレインを形成する一対の半導体領域3d、3dと、半導体基板1の主面上に形成されたゲート絶縁膜3iと、そのゲート絶縁膜3i上に形成されたゲート電極3gとを有している。

【0025】半導体領域3dは、例えばリンまたはヒ素が導入されて形成されている。この半導体領域3dのチャネル側端部に、その半導体領域3dと同じ不純物が、その半導体領域3dよりも低く導入されてなる低不純物濃度領域をその半導体領域3dと電気的に接続された状態で設けることもできる（いわゆるLDD（LightlyDoped Drain）構造）。また、半導体領域3dの主面に、例えばタングステンシリサイド等のようなシリサイド層を設ける構造とすることもできる。なお、pチャネル型のMISFETの場合は、この半導体領域に、例えばホウ素（B）または二フッ化ホウ素（BF₂）が導入されている。

【0026】ゲート絶縁膜3iは、例えば二酸化シリコン（SiO₂）膜からなる。このゲート絶縁膜3iを酸化窒化膜（SiON膜）によって形成することもできる。これにより、ゲート絶縁膜中における界面準位の発生を抑制することができ、また、同時にゲート絶縁膜中の電子トラップも低減することができるので、ゲート絶縁膜3iにおけるホットキャリア耐性を向上させることが可能となる。したがって、MISFET3の信頼性を向上させることが可能となる。

【0027】ゲート電極3gは、例えば低抵抗ポリシリコンの単体膜からなる。ただし、ゲート電極3gを、例えば低抵抗ポリシリコン膜上に、タングステンシリサイド等のようなシリサイド層を設けて成る、いわゆるポリサイド構造とすることもできる。また、ゲート電極3gを、例えば低抵抗ポリシリコン膜上に、窒化チタンや窒化タングステン等のようなバリア膜を介してタングステン等のような金属膜を積み重ねて成る、いわゆるポリメタル構造とすることもできる。この場合のバリア膜は、低抵抗ポリシリコン膜上にタングステン膜を直接積み重ねた場合に、その接触部に製造プロセス中の熱処理によりシリサイドが形成されてしまうのを防止する機能を有している。さらに、最上の金属膜は、配線抵抗を下げる機能を有している。なお、ゲート電極3gの上面にキャップ絶縁膜を設けても良い。また、ゲート電極3gの側面（キャップ絶縁膜を設けた場合にはその側面も含む）にサイドウォールを設けても良い。その場合のキャップ絶縁膜およびサイドウォールを、例えば窒化シリコン膜で形成し、かつ、半導体基板1上に形成される層間絶縁膜を二酸化シリコン（SiO₂）膜とすることで、その層間絶縁膜に形成される後述の接続孔をゲート電極3gに対して自己整合的に形成することができる。半導体基

板1の主面上には、例えば二酸化シリコン（SiO₂）膜からなる層間絶縁膜4aが形成されている。層間絶縁膜4aには、半導体領域3aの一部が露出する上記接続孔5aが穿孔されている。接続孔5a内には、例えばタングステン等からなるプラグ6が埋め込まれている。プラグ6は、接続孔5aをドライエッチング法によって穿孔した後、層間絶縁膜4a上および接続孔5a内にタングステン膜をCVD法等によって堆積し、さらに、そのタングステン膜の余分な部分をCMP法で研磨することにより接続孔5a内のみに残すことで形成されている。

【0028】本実施の形態1では、まず、そのような半導体基板1の層間絶縁膜4aおよびプラグ6の上面上に、例えば窒化シリコン膜からなる厚さ100nm程度の絶縁膜7aをCVD法によって堆積した後、その上に、例えば二酸化シリコン膜からなる厚さ400nm程度の層間絶縁膜4bをCVD法によって堆積する。続いて、その絶縁膜7aおよび層間絶縁膜4bに、底面からプラグ6の上面が露出するような配線溝8aをフォトリソグラフィ技術およびエッチング技術によって形成する。配線溝8aは、埋込配線の型となる領域であり、平面的には、例えば四角形状または紙面に垂直な方向に延びる帯状のパターンとなっている。上記絶縁膜7aは、この配線溝8aの形成処理に際してエッチングストップとして機能させる。すなわち、配線溝8aの形成するためのエッチング処理に際して、最初は酸化シリコン膜の方が窒化シリコン膜よりもエッチングされ易い条件でエッチング処理することで酸化シリコン膜からなる層間絶縁膜4bを選択的に除去し、絶縁膜7aをエッチングストップとして機能させる。その後、絶縁膜7aが露出された時点で、上記と逆の条件でエッチング処理することで窒化シリコン膜からなる絶縁膜7aを選択的に除去する。これにより、配線溝8aの掘り過ぎを防止できる。この配線溝8aのアスペクト比は、例えば1.5以上である。

【0029】続いて、後述のメッキCu膜の下地として、図3、図4および図5に示すように、第1のバリア膜9a、第2のバリア膜9bおよび第1のシード（Seed）膜（第1の導体膜）10aをスパッタリング法によって下層から順に堆積する。第1のバリア膜9aは、例えばNを30at%以上含むTiN膜からなる。また、第2のバリア膜9bは、例えばNを10at%～30at%程度含むTi膜からなる。さらに、第1のシード膜10aは、例えば上記Cu膜からなる。

【0030】この場合に用いたスパッタリング装置は、例えばTiターゲットを取付けた堆積室およびCuターゲットを取付けた堆積室と搬送用の真空室から構成されている。その堆積室の構造を図10に示した。このスパッタリング装置11における堆積室11aのターゲット11bは直流電源11cに、誘導コイル11dは第1の高周波電源(13.56MHz)11eに、基板ホルダ11fは

第2の高周波電源(2MHz)11e2に電気的に接続されている。スパッタリング処理に際して、半導体基板(この段階では半導体ウエハ)1は、その主面をターゲット11bのスパッタリング面に対向させた状態で基板ホルダ11f上に保持される。誘導コイル11dに高周波電力を印可することによりターゲット11bからスパッタされた金属粒子を加熱/イオン化し、基板ホルダ11fの近傍にできるイオンシースで加速して基板面に対し垂直入射させる。この原理により接続孔上部における金属膜のオーバーハングを防止することができる。

【0031】図11に供給ガスの組成とTi膜中のN含有量の関係を示した。本実施の形態1における第1のバリア膜9aは、例えば48at%のNを含有する膜厚50nmのTiN膜であり、第2のバリア膜9bは、例えば26at%のNを含有する膜厚20nmのTi膜である。第1のバリア膜9aは、例えばN₂およびアルゴン(Ar)を各々流量40ml/minと30ml/minで供給し、基板ホルダ11fの温度を、例えば250℃、Tiターゲットへの印加電力を、例えば5kW、誘導コイル11dの電力を、例えば2.5kW、バイアス電圧を、例えば50V程度の条件で堆積した。第2のバリア膜9bの堆積においては、例えばN₂とArとの流量のみを各々15ml/minと55ml/minに変更した。これらバリア膜9a、9bを形成した後、真空を破ることなく半導体基板1をCu堆積室に搬送し、そこで、例えば膜厚100nmの第1のシード膜10aを堆積した。このCu膜の堆積室における基板ホルダ11fは冷媒の循環により、例えば20℃程度に保たれており、これに半導体基板1を機械的に固定した。シード用のCu膜の堆積中は、半導体基板1の裏面に、例えばヘリウム(He)ガスを流して冷却した。シード用のCu膜のスパッタリング処理におけるAr流量は、例えば40ml/minで、ターゲット11bへの印加電力は、例えば5kW程度、誘導コイル11dへの電力は、例えば2.5kW程度、バイアス電圧は、例えば60Vにした。第2のバリア膜9bは、N含有量の少ないTi膜であるため、Cuに対する濡れ性がよく、表面の平滑な第1のシード膜10aを形成することができた。

【0032】次いで、第1のシード膜10aの形成工程後、半導体基板1をスパッタリング装置11から取り出し、電界メッキ装置内でCuメッキ処理を施すことにより、図6に示すように、第1のシード膜10a上にCuメッキで形成された第1の金属膜(第2の導体膜)12aを形成する。本実施の形態1では、第1のシード膜10aの表面を平滑にすることができるので、その表面にCuからなる第1の金属膜12aを良好に形成することができ、アスペクト比の高い配線溝8aであってもその内部の第1の金属膜12a中にボイド等が生じるのを抑制できる。このため、埋込配線の信頼性の向上や抵抗の低減を実現できる。したがって、埋込配線を有する半導

体装置の歩留まり、信頼性および動作速度の向上を推進することが可能となる。埋込配線は益々微細化される傾向にあり、埋込配線中における小さなボイド等の存在も益々顕在化される傾向にあるので、そのボイド等の発生を抑制できる本発明は微細、高集積な半導体装置に特に有効な技術である。

【0033】続いて、半導体基板1に対してCMP処理を施す。この際、層間絶縁膜4bの上面が露出する程度まで、第1の金属膜12a、第1のシード膜10a、第2のバリア膜9bおよび第1のバリア膜9aを削ることにより、図7に示すように、配線溝8a内に埋込配線13aを形成する。この際、バリア膜9a、9bは、Ti系の材料を用いているためCMPが容易であり、Ta系で見られる激しいディッシングやエロージョンは見られない。したがって、埋込配線13aの電気的特性および信頼性を向上させることができる。埋込配線13aは、第1のバリア膜9a、第2のバリア膜9b、第1のシード膜10aおよび第1の金属膜12aで構成され、その底部はプラグ6の上部と接触されており、これらは互いに電気的に接続されている。

【0034】次いで、第2層目の埋込配線および接続孔は、いわゆるデュアルダマシン法で一括形成した。例えば次の通りである。まず、図8に示すように、層間絶縁膜4bおよび埋込配線13a上に、絶縁膜7bおよび層間絶縁膜4cを下層から順にCVD法によって堆積する。絶縁膜7bは、例えば窒化シリコンからなり、その厚さは、例えば絶縁膜7aと同じである。また、層間絶縁膜4cは、例えば二酸化シリコン(SiO₂)からなる。続いて、その層間絶縁膜4c上に、例えば窒化シリコンからなる絶縁膜7cを上記絶縁膜7aと同じ厚さ程度でCVD法等によって堆積した後、その絶縁膜7cにおいて接続孔5bの形成領域を選択的にエッチング除去する。すなわち、その絶縁膜7cに接続孔5bを形成するための開口領域を形成する。この段階では、層間絶縁膜4cへの接続孔5bの形成処理は行われておらず、絶縁膜7cに形成された開口領域からは層間絶縁膜4cの上面が露出されている。その後、絶縁膜7c上およびその開口領域から露出する層間絶縁膜4c上に、例えば二酸化シリコン(SiO₂)からなる層間絶縁膜4dをCVD法によって堆積する。

【0035】次いで、配線溝8bおよび接続孔5bをフォトリソグラフィ技術およびエッチング技術によって形成する。配線溝8bは、第2層目の埋込配線の型となる領域であり、平面的には、例えば四角形状または紙面に垂直な方向に延びる帯状のパターンとなっている。配線溝8bのアスペクト比は、例えば1.5以上である。接続孔5bは、配線溝8bの底部から埋込配線13の上面まで延び、その底面から埋込配線13の一部が露出するような孔で、平面的には、例えば円形状のパターンとなっている。接続孔5bの開口径は、例えば0.2μm程

度、アスペクト比は、例えば4以上である。このような配線溝8bおよび接続孔5bを形成するには、最初は酸化シリコン膜の方が窒化シリコン膜よりもエッチングされ易い条件でエッチング処理する。これにより、酸化シリコン膜からなる層間絶縁膜4dを選択的に除去する。この際、絶縁膜7cをエッチングストップとして機能させる。これにより、配線溝8bの掘り過ぎを防止することができる。さらに続けて、同じエッチング条件でエッチング処理を施すことにより、絶縁膜7cに形成された接続孔形成用の開口部を通じてそこから露出する層間絶縁膜4cをエッチング除去する。この際、絶縁膜7bをエッチングストップとして機能させる。これにより、接続孔5bの掘り過ぎを防止することができる。その後、窒化シリコン膜の方が酸化シリコン膜よりもエッチングされ易い条件でエッチング処理することにより、接続孔5bの底部に残されている絶縁膜7bを除去して埋込配線13aの上面の一部を露出させる。

【0036】次いで、配線溝8bおよび接続孔5bを形成した後、半導体基板1上に、例えば膜厚80nm程度の第3のバリア膜9cを第1のバリア膜9aと同じ方法で形成し、続いて、その上に、例えば膜厚20nm程度の第4のバリア膜9dを第2のバリア膜9bと同じ方法で形成し、その後、その上に、例えば膜厚150nm程度の第2のシード膜(第1の導体膜)10bを第1のシード膜10aと同じ方法で形成し、さらにその後、その上に、例えばCuからなる第2の金属膜(第2の導体膜)12bを第1の金属膜12aと同じ方法で堆積した。その後、上記と同様にCMP処理を行うことにより、図9に示すように、配線溝8bおよび接続孔5b内に上記の導体膜を埋め込み埋込配線13bを形成した。この場合の埋込配線13bは、接続孔5b内に埋め込まれた導体部分を通じて第1層目の埋込配線13aと電気的に接続されている。その後、同様のプロセスを繰り返すことにより、最終的に、例えば8層配線構造を備えた半導体装置を製造した。

【0037】(実施の形態2) 本実施の形態2は、前記実施の形態1と概ね同じであるが、図9に示した第1のシード膜10aおよび第2のシード膜10bの形成方法が異なる。すなわち、本実施の形態2では、それらシード膜10a、10bを形成する際、例えばArとN₂との混合ガス中においてCuターゲットをスパッタリングした。これは、本発明者の検討によれば、そのようにすることでCu膜中に取り込まれたN(あるいは第2、第4のバリア膜と第1、第2のシード膜との界面に挟まれたN)がTiを捕縛し、成膜中または成膜後にTiがCu膜中に拡散するのを抑制することを見出したからである。これにより、TiとCuとの反応を抑制することができるので、埋込配線13a、13bの抵抗をさらに低減することができる。

【0038】特に、この方法を用いた場合は、N量の制

御性を高くすることができる。したがって、例えばバリア膜9b、9dの膜厚を薄くするとNの深さ方向の分布の制御が難しくなるが、本実施の形態2で提案したスパッタリング法でNを取り込む方法は、N量の制御性が高いので、バリア膜9b、9dの厚さを薄くしたい場合に非常に有効である。すなわち、Nの量は少な過ぎるとTiの抑制能が落ちる一方、多過ぎるとTiのTiN化が進みシード膜を上手く形成できないので、バリア膜9b、9dがある程度薄くなってもそのNの量を微調整できる本実施の形態2は信頼性の高い半導体装置を製造する上で有効な技術である。

【0039】この検討では、全ガス流量を、例えば40ml/min、ターゲット印加電力を、例えば5kW、誘導コイル電力を、例えば2.5kW、バイアス電圧を、例えば60V程度にした。Arに対するN₂の流量比が20%以上の場合は、CuとTiとの反応による抵抗上昇を2割以下に抑制できた。ただし、N₂流量比が80%を越えるとTi膜の窒化が急激に進み、TiN上にCuを堆積した場合のように凹凸が大きくなった。

【0040】また、N₂に代えてアンモニア(NH₃)を使用することもできる。この場合、NH₃の方がNよりも窒化の能力が高いため、N₂の場合よりも効果があり、流量比で5%以上混合すれば良いことがわかった。

【0041】このような前記実施の形態1、2で具体的に説明した本発明によるN含有のTi膜は一般的なTi系材料と同じではない。すなわち、Cuメッキ技術に適した膜の組成と構造とを定めているものである。そして、埋込特性以外にも、配線の電気的特性(低抵抗化等)、拡散阻止性能およびプロセス性能を満足するものである。したがって、埋込配線でない通常の配線にも適用可能である。

【0042】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】例えば前記実施の形態1、2では埋込配線に本発明を適用した場合について説明したが、これに限定されるものではなく通常の配線にも適用可能である。

【0044】また、前記実施の形態1では、第2のバリア膜および第4のバリア膜をNガス中でスパッタリング処理し成膜した場合について説明したが、これに限定されるものではなく、Nガスに代えて、前記実施の形態2と同様に、アンモニアを用いても良い。

【0045】また、前記実施の形態2では、第2のバリア膜および第4のバリア膜を10at%~30at%程度のNを含むTi膜としたが、これに限定されるものではなく、例えば成膜の段階では窒素を含まない状態でTi膜を堆積しても良い。また、10at%以下のNを含むTi膜としても良い。

【0046】以上の説明では主として本発明者によって

なされた発明をその背景となった利用分野であるMISFETを有する半導体集積回路装置技術に適用した場合について説明したが、それに限定されるものではなく、例えばバイポーラトランジスタ等のような他の素子を有する半導体装置技術等に適用できる。もちろん、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) またはフラッシュメモリ (EEPROM (Electrically Erasable Programmable ROM)) 等のような半導体メモリ製品やマイクロプロセッサ等のような論理回路製品にも適用できる。

【0047】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0048】(1). 本発明によれば、少なくとも表層に10at%~30at%のNを含むチタン膜上にCuまたはCuを主体とする配線形成用の第1の導体膜の堆積することにより、そのCuの凝集を抑制することができるので、平滑な第1の導体膜を形成することが可能となる。したがって、第1の導体膜上に第2の導体膜をメッキ法により良好に形成することが可能となる。すなわち、CuまたはCuを主体とする配線形成用の導体膜をメッキ処理によって形成するプロセスに好適なバリア膜の形成技術を提供することが可能となる。したがって、その配線を持つ半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

【0049】(2). 本発明によれば、配線形成用の溝内に、ボイドを生じさせないように第2の導体膜を良好に埋め込むことができるので、埋込配線の抵抗低減等、埋込配線の電気的特性を向上させることが可能となる。したがって、その埋込配線を持つ半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

【0050】(3). 本発明によれば、前記配線形成用の第1の導体膜を堆積する際に、窒素を含むガス中でスパッタリング処理を施すことにより、Nの量の制御性を向上させることができるので、配線抵抗の低減等、配線の電気的特性を向上させることが可能となる。したがって、その配線を持つ半導体装置の歩留まり、信頼性および性能をさらに向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置を説明するためのチタン-窒素の状態図である。

【図2】本発明の一実施の形態である半導体装置の製造工程における要部断面図である。

【図3】図2に続く半導体装置の製造工程における要部断面図である。

【図4】図3に続く半導体装置の製造工程における要部断面図である。

【図5】図4に続く半導体装置の製造工程における要部断面図である。

【図6】図5に続く半導体装置の製造工程における要部断面図である。

【図7】図6に続く半導体装置の製造工程における要部断面図である。

【図8】図7に続く半導体装置の製造工程における要部断面図である。

【図9】図8に続く半導体装置の製造工程における要部断面図である。

【図10】本発明の一実施の形態である半導体装置の製造工程で使用するスパッタリング装置の一例の説明図である。

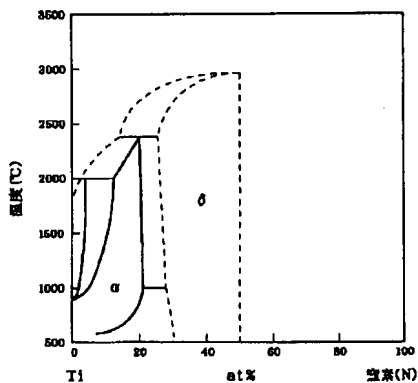
【図11】本発明の一実施の形態である半導体装置の成膜工程時におけるスパッタリングガス組成とチタン膜中の窒素含有量との関係を説明するグラフ図である。

【符号の説明】

- 1 半導体基板
- 2 分離部
- 2a 分離溝
- 2b 分離用膜
- 3 nチャネル型のMISFET
- 3d 半導体領域
- 3i ゲート絶縁膜
- 3g ゲート電極
- 4a, 4b, 4c, 4d 層間絶縁膜
- 5a, 5b 接続孔
- 6 プラグ
- 7a, 7b, 7c 絶縁膜
- 8a, 8b 配線溝
- 9a 第1のバリア膜
- 9b 第2のバリア膜
- 9c 第3のバリア膜
- 9d 第4のバリア膜
- 10a 第1のシード膜 (第1の導体膜)
- 10b 第2のシード膜 (第1の導体膜)
- 11 スパッタリング装置
- 11a 堆積室
- 11b ターゲット
- 11c 直流電源
- 11d 誘導コイル
- 11e1 第1の高周波電源
- 11e2 第2の高周波電源
- 11f 基板ホルダ
- 12a 第1の金属膜 (第2の導体膜)
- 12b 第2の金属膜 (第2の導体膜)
- 13a 第1の埋込配線
- 13b 第2の埋込配線

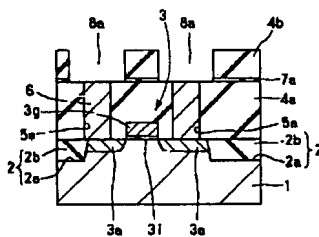
【図1】

図1



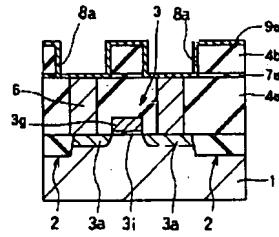
【図2】

図2



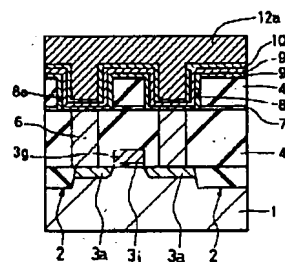
【図3】

図3



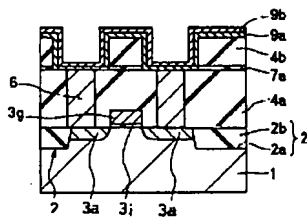
【図6】

図6



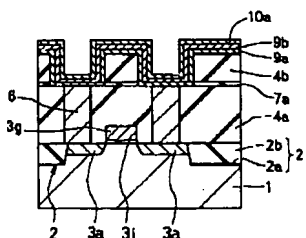
【図4】

図4



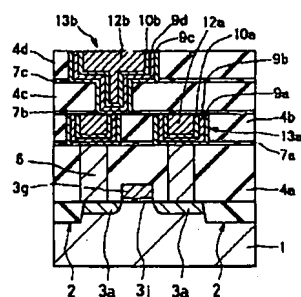
【図5】

図5



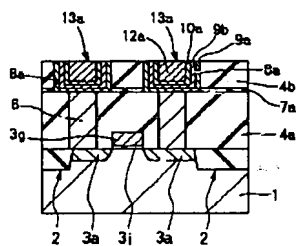
【図9】

図9



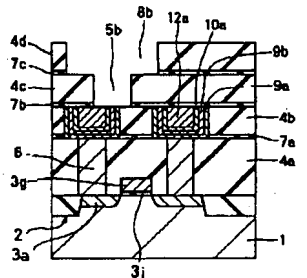
【図7】

図7



【図8】

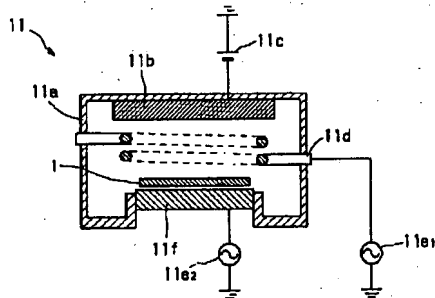
図8



1: 半導体基板
9a: 第1のバリア膜
9b: 第2のバリア膜
9c: 第3のバリア膜
9d: 第4のバリア膜
10a, 10b: シード膜(第1の導体膜)
12a, 12b: 金属膜(第2の導体膜)
13a, 13b: 埋込配線

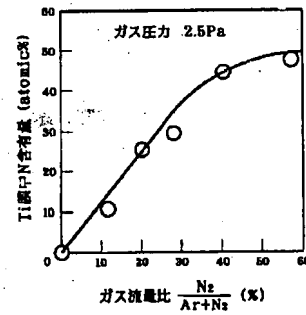
【図10】

図 10



【図11】

図 11



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB18 BB28 BB30

BB38 CC01 DD07 DD37 DD42

DD52 DD75 FF14 FF18 GG06

GG09 GG10 GG14 GG16 HH05

HH13 HH16 HH20

5F033 HH11 HH18 HH33 JJ11 JJ18

JJ33 KK19 MM02 MM12 MM13

NN06 NN07 NN37 PP15 PP27

QQ10 QQ23 QQ37 QQ48 RR04

RR06 SS11